

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-270744

(43)公開日 平成10年(1998)10月9日

(51)Int.Cl.⁶
H 01 L 31/10
// H 01 L 21/761

識別記号

F I
H 01 L 31/10
21/76A
J

審査請求 未請求 請求項の数14 O L (全 21 頁)

(21)出願番号 特願平10-10799
 (22)出願日 平成10年(1998)1月22日
 (31)優先権主張番号 特願平9-12938
 (32)優先日 平9(1997)1月27日
 (33)優先権主張国 日本 (J P)

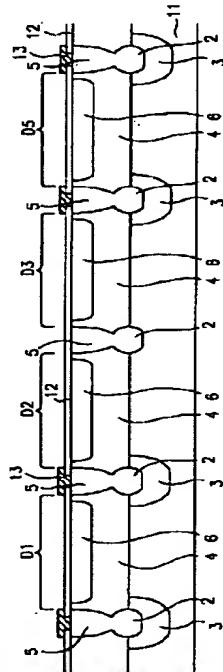
(71)出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (72)発明者 福永 直樹
 大阪府大阪市阿倍野区長池町22番22号 シ
 ャープ株式会社内
 (72)発明者 久保 勝
 大阪府大阪市阿倍野区長池町22番22号 シ
 ャープ株式会社内
 (72)発明者 濱本 貴博
 大阪府大阪市阿倍野区長池町22番22号 シ
 ャープ株式会社内
 (74)代理人 弁理士 山本 秀策

(54)【発明の名称】 分割フォトダイオード

(57)【要約】

【課題】 分割フォトダイオードの応答速度を、さらに確実に改善する。

【解決手段】 分割ダイオードが、半導体基板と、該半導体基板の上に形成された半導体層と、該半導体層の該半導体基板とは反対側の表面から該半導体基板の表面下に達するように複数箇所に形成され、該半導体層を少なくとも3つ以上の第2導電型の半導体領域に分割する、少なくとも1層からなる複数の分離拡散領域と、を備える。該分離拡散領域のうちで、分割部を介して隣接する複数の半導体領域の組合せの該分割部にある特定の分離拡散領域を除いた他の分離拡散領域の下側に、第1の埋め込み拡散領域がさらに設けられていて、印加される逆バイアスによって該他の分離拡散領域の下部の該半導体基板の空乏層化が抑制されている。



【特許請求の範囲】

【請求項1】 第1導電型の半導体基板と、該半導体基板の上に形成された第2導電型の半導体層と、該半導体層の該半導体基板とは反対側の表面から該半導体基板の表面下に達するように複数箇所に形成され、該半導体層を少なくとも3つ以上の第2導電型の半導体領域に分割する、少なくとも1層からなる複数の第1導電型の分離拡散領域と、を備える分割フォトダイオードであつて、該分離拡散領域にて分割された該少なくとも3つ以上の半導体領域のうちで、分割部を介して隣接する複数の半導体領域の組合せに対しては、該分割部の近傍に光が照射され、また、該複数の半導体領域の組合せ以外の他の半導体領域に対しては、そのほぼ中央部に光が照射され、該分離拡散領域のうちで、該複数の半導体領域の組合せの該分割部にある特定の分離拡散領域を除いた他の分離拡散領域の下側に、第1導電型の第1の埋め込み拡散領域がさらに設けられていて、印加される逆バイアスによって該他の分離拡散領域の下部の該半導体基板の空乏層化が抑制されている、分割フォトダイオード。

【請求項2】 前記複数の半導体領域の組合せの前記分割部にある前記特定の分離拡散領域の下側では、前記第1の埋め込み拡散領域の形成が省略されている、請求項1に記載の分割フォトダイオード。

【請求項3】 前記半導体基板は $100\Omega\text{cm}$ 以上の比抵抗を有する、請求項1または2に記載の分割フォトダイオード。

【請求項4】 前記第1の埋め込み拡散領域が形成されている前記他の分離拡散領域の上に、該第1の埋め込み拡散領域への迷光の照射を抑制する遮光膜が形成されている、請求項1から3のいずれか一つに記載の分割フォトダイオード。

【請求項5】 前記第1の埋め込み拡散領域が、その拡散深さ(X_j)を $X_j \geq 5\mu\text{m}$ として形成されている、請求項1から4のいずれか一つに記載の分割フォトダイオード。

【請求項6】 前記第1の埋め込み拡散領域が、その表面濃度を $1 \times 10^{17}\text{atoms/cm}^2$ 以下にして形成されている、請求項1から5のいずれか一つに記載の分割フォトダイオード。

【請求項7】 前記第1の埋め込み拡散領域と前記他の分離拡散領域とが、両者の接する部分の濃度を $5 \times 10^{14}\text{atoms/cm}^2$ 以上として形成されている、請求項1から6のいずれか一つに記載の分割フォトダイオード。

【請求項8】 前記第1の埋め込み拡散領域と前記他の分離拡散領域とが、該他の分離拡散領域の端部のうちで前記分割部に位置する前記特定の分離拡散領域に近い側

の端部と、該第1の埋め込み拡散領域の端部と、を接触して形成されている、請求項1から7のいずれか一つに記載の分割フォトダイオード。

【請求項9】 前記半導体基板及び前記半導体層が、前記少なくとも3つ以上の半導体領域よりも広い範囲に存在しており、該半導体領域の外側に信号処理回路が形成されている、請求項1から8のいずれか一つに記載の分割フォトダイオード。

【請求項10】 前記信号処理回路が第1導電型の第2の埋め込み拡散領域を有しており、該第2の埋め込み拡散領域は、前記第1の埋め込み拡散領域と同時に形成される、請求項9に記載の分割フォトダイオード。

【請求項11】 前記第1の埋め込み拡散領域からのボロンのオートドープを防止するために、該第2導電型の半導体層の不純物濃度が $5 \times 10^{15}\text{atoms/cm}^3$ 以上に設定されている、請求項9または10に記載の分割フォトダイオード。

【請求項12】 第1導電型の半導体基板と、該半導体基板の上に形成された第2導電型の半導体層と、

該半導体層の該半導体基板とは反対側の表面から該半導体基板の表面下に達するように複数箇所に形成され、該半導体層を少なくとも3つ以上の第2導電型の半導体領域に分割する、少なくとも1層からなる複数の第1導電型の分離拡散領域と、を備える分割フォトダイオードであつて、

該分離拡散領域にて分割された該少なくとも3つ以上の半導体領域のうちで、分割部を介して隣接する複数の半導体領域の組合せに対しては、該分割部の近傍に光が照射され、また、該複数の半導体領域の組合せ以外の他の半導体領域に対しては、そのほぼ中央部に光が照射され、

該分離拡散領域のうちで、該複数の半導体領域の組合せの該分割部にある特定の分離拡散領域が該半導体基板の表面下に浅く形成されており、他の分離拡散領域が該半導体基板の表面下に深く形成されている、分割フォトダイオード。

【請求項13】 前記半導体基板及び前記半導体層が、前記少なくとも3つ以上の半導体領域よりも広い範囲に存在しており、該半導体領域の外側に信号処理回路が形成されている、請求項12に記載の分割フォトダイオード。

【請求項14】 前記信号処理回路が第1導電型の埋め込み拡散領域を有している、請求項13に記載の分割フォトダイオード。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、例えば光ピックアップ装置等に使用される受光素子に含まれる分割フォトダイオードに関し、特に、応答速度を改善することがで

きる構造の分割フォトダイオードに関する。

【0002】

【従来の技術】上述した光ピックアップ装置は、例えばCD-ROMやDVD等の光ディスク装置に使用されている。特に、DVDは、近年において盛んに開発が進められている。このような光ディスク装置は、動画像等の多盤のデータを扱うようになってきている。加えて将来的には、倍速DVDから4倍速DVDへと開発が進められると考えられる。それに伴って、光ピックアップ装置の高速化への要求は非常に強い。

【0003】光ピックアップ装置の信号検出用手段としては、受光領域が複数の光検出部に分割されている分割フォトダイオード素子が、従来から用いられている。

【0004】近年、光ディスク装置の小型高性能化に伴い、光ピックアップ装置の小型軽量化が重要となっている。これを実現するために、トラッキングビームを生成するための機能部、光分岐を行うための機能部、及び誤差信号を生成するための機能部を、1つのホログラム素子に集積化し、レーザダイオード或いはフォトダイオード等を内部に収容した1つのパッケージの上面にその集積化したホログラム素子を配した構造の光モジュールが、提案されている。

【0005】図18は、上記光モジュールを含む光ピックアップ装置の光学系の概略構成を示す図である。

【0006】この光学系における信号検出原理を簡単に説明すると、レーザダイオードLDから出射された光は、ホログラム素子31の裏面側に配置されたトラッキングビーム生成用回折格子30により、2つのトラッキング用副ビームと情報信号読み出し用主ビームとの3つの光ビームに分けられる。そして、これらの光は、上記パッケージの上面に設けられたホログラム素子31を0次光として透過し、コリメートレンズ32で平行光に変換された後、対物レンズ33によってディスク34の上面に集光される。

【0007】ディスク34からの反射光は、ディスク34の上のピットによる変調を受けており、対物レンズ33及びコリメートレンズ32を透過した後、ホログラム素子31によって回折され、1次回折光として5分割フォトダイオードPDの上に導かれる。5分割フォトダイオードPDは、分割された5つの光検出部（以下、「光検出フォトダイオード部」ともいう）D1～D5を有する。

【0008】上記のホログラム素子31は、回折周期の異なる2つの領域31a及び31bから構成されており、主ビームの反射光のうちでその一方の領域に入射したものが、光検出部D2及びD3を分割する分割線上に集光され、他方の領域に入射した主ビームの反射光が、光検出部D4の上に集光される。また、副ビームの反射光は、ホログラム素子31により、それぞれ光検出部D1及びD5の上に集光される。

【0009】また、上記光学系は、ホログラム素子31とディスク34との距離の変化に応じて、主ビームの反射光のフォトダイオードPD上での位置が、一对の光検出フォトダイオード部D2及びD3の並ぶ方向に変化する。そして、主ビームの焦点がディスク34の上に合っているときには、その反射光が、上記一对のフォトダイオードの光検出部D2とD3の間の分割部に入射する。

【0010】これより、5分割フォトダイオードPDにおける上記各光検出部D1～D5に対応する出力をS1～S5とすると、フォーカス誤差信号FESは、

$$FES = S2 - S3$$

で与えられる。

【0011】一方、トラッキング誤差は、いわゆる3ビーム法で検出される。すなわち、2つのトラッキング用副ビームはそれぞれ光検出部D1及びD5の上に集光されるので、トラッキング誤差信号TESは、

$$TES = S1 - S5$$

で与えられる。この誤差信号TESが0であるときは、主ビームは、照射すべきトラック上に位置している。

【0012】また、再生信号RFは、主ビームの反射光を受光する光検出部D2～D4の出力の総和として、

$$RF = S2 + S3 + S4$$

で与えられる。

【0013】図19は、図18に示す従来の光検出用分割フォトダイオードのa-a'線における断面図である。但し、図19では、メタル処理工程以降の工程によって形成される構造（例えば多層配線や保護膜等）は省略している。図19において、D1、D2、D3及びD5は、光検出部である。

【0014】この分割フォトダイオードの作製方法を、図20(a)及び(b)の断面図を参照して以下に説明する。なお、図19と図20(a)及び(b)とにおいて、同じ構成要素には同じ参照番号を付している。

【0015】まず、図20(a)に示すように、P型半導体基板1の上において光検出部D1～D5を分割する分割部となる領域に、P型分離拡散領域2を形成する。

【0016】次いで、図20(b)に示すように、P型半導体基板1の表面全面にN型エピタキシャル層4を形成する。その後に、N型エピタキシャル層4の内部においてP型分離拡散領域2に対応する部分に、P型分離拡散領域5を形成する。このP型分離拡散領域5は、N型エピタキシャル層4の表面からP型分離拡散領域2に達するように形成される。従って、領域2及び5からなるP型分離拡散領域は、N型エピタキシャル層4の表面からP型半導体基板1の表面にまで達するように形成される。これにより、N型エピタキシャル層4が複数（図示されている例では4つ）のN型半導体領域に電気的に分離されて、各光検出部D1～D5（但し、D4は不図示）が形成される。

【0017】次に、N型エピタキシャル層4の表面の分

割フォトダイオード部分に、N型拡散領域6を形成する。このN型拡散領域6により、フォトダイオードの直列抵抗が低減される。これにより、C R時定数が低減して、高速応答性が得られることとなる。

【0018】次に、このN型拡散領域6を有するN型エピタキシャル層4の上に、図19に示すように部分的に貫通孔を有する酸化膜12を形成し、この酸化膜12の上に電極13を形成する。以上により、前記貫通孔を介して電極13と分離拡散領域5とが電気的に接続された、図19に示す従来の光検出用分割フォトダイオードが得られる。

【0019】

【発明が解決しようとする課題】ところで、前記の再生信号R Fを処理する光検出部D2、D3及びD4に対しては、高速動作が要求される。そのうちでも特に一対の光検出部D2及びD3は、光ビームがこれら光検出部D2及びD3の間の分割部に照射された場合に、高速に動作することが必要とされる。しかし、これら一対の光検出部D2及びD3の間の分割部に光ビームが照射された場合は、各光検出部D2或いはD3の中央部に光ビームが照射された場合に比べて、遮断周波数が低下する。ここで、遮断周波数とは、ゲインが低周波帯域での値に対し-3dB低下する周波数を言う。

【0020】図21(a)及び(b)は、上記の点を実験により確認した結果を示す図である。

【0021】図21(a)は、図19の分割フォトダイオードの一対の光検出部D2及びD3の近傍部分の断面図である。一方、図21(b)は、その分割フォトダイオードの遮断周波数の光ビーム位置依存性を示すグラフであって、その横軸は、光検出部D2及びD3の近傍における回折光の光ビーム位置を示し、縦軸は、それぞれの位置における遮断周波数f_c(MHz)を示す。図21(b)における測定条件は、P型半導体基板の比抵抗が15Ωcmであり、フォトダイオードに印加される逆バイアスが1.5Vであり、負荷抵抗が380Ωである。

【0022】この図より、光ビームが一対の光検出部D2及びD3の分割部の近傍に位置する場合は、光検出部D2及びD3の中心部に位置する場合に比べて、遮断周波数が低下していることがわかる。また、光ビームがD2及びD3の分割部に照射された時の遮断周波数は、20数MHzであることがわかる。従って、この遮断周波数の分割フォトダイオードは、DVDには対応することができるが、倍速DVD或いは4倍速DVDなどにおけるような更なる高速化には、対応することができない。

【0023】光検出部D2及びD3の分割部に光が照射された時に遮断周波数が低下する原因是、P型分離拡散領域2の下部のP型半導体基板1で発生した光キャリアが、P型分離拡散領域2を迂回してN型エピタキシャル層4及びP型半導体基板1で形成されるPN接合の空乏

層に到達するためである。すなわち、P型分離拡散領域2の下部で発生した光キャリアは数十μmの距離を拡散で移動する必要があり、この長い移動成分が、フォトダイオードの遮断周波数を低下させる。

【0024】図22は、光検出部D2及びD3の間の分割部に相当するP型分離拡散領域2及びその近傍における、電流の流れを求めたシミュレーション結果である。電流の向きは、矢印で示されている。なお、縦軸における深さ0μmの位置は、基板表面を示し、P型分離拡散領域2の下端は、その基板表面よりも下側に位置している。

【0025】光キャリアである電子は、図22の中の矢印とは逆向きに移動する。この図より、光キャリアは、分割部のP型分離拡散領域2を迂回してN型エピタキシャル層4及びP型半導体基板1で形成されるPN接合の空乏層に到達していることが、理解される。

【0026】図23は、光検出部の間の分割部における深さ方向のポテンシャル分布を示すグラフである。縦軸はポテンシャル(Volt)を示し、横軸は、基板表面からの深さ(μm)を示す。図中で「5」として示している領域は、P型分離拡散領域5の部分であり、「2」として示している領域は、P型分離拡散領域2の部分である。

【0027】図23から理解されるように、このポテンシャル分布によれば、基板1の中でその表面側に向かう光キャリアである電子に対して、P型分離拡散領域2が大きなポテンシャルを有し、ポテンシャルバリアとして作用する。そのため、図22に示されるように、光キャリアはP型分離拡散領域2を迂回して移動する。

【0028】通常使用されるP型半導体基板1の比抵抗は、約15Ωcmである。このため、各光検出部を構成する光検出フォトダイオード部に印加される逆バイアス電圧が1.5Vである場合には、図22にも示したように、光キャリアが迂回して走る距離は数十μmとなってしまう。

【0029】そこで、上記問題点を解決するため、種々の対策が講じられている。

【0030】例えば、特願平8-166284号(特開平9-153605号公報)では、図24に示すような構造の分割フォトダイオードが提案されている。

【0031】図24の分割フォトダイオードは、図19に示す従来の分割フォトダイオードとは異なり、P型半導体基板として大きな比抵抗を有する基板1aを使用している。これにより、図24の分割フォトダイオードでは、図19のフォトダイオードに比べて、同じレベルの逆バイアス電圧が印加されたときにN型エピタキシャル層4とP型半導体基板1aとの間に形成されるPN接合部の空乏層21の広がりが、より大きくなる。従って、光検出部D2及びD3の間の分割部にあるP型分離拡散領域2の下部側への空乏層の広がりが大きくなり、この

ために、P型分離拡散領域2の下部のP型半導体基板1で発生した光キャリアがP型分離拡散領域2を迂回して走る距離が短縮される。この結果、フォトダイオードの応答速度が改善されて、遮断周波数が向上する。基板の比抵抗が高ければ高い程、光キャリアが走る距離を短くでき、フォトダイオードの応答速度は改善される。

【0032】しかし、本願発明者による更なる検討によれば、以上のように基板の比抵抗を高くしても、必ずしも所望の応答速度の改善効果が得られないことがある。

【0033】本発明は、このような従来技術の課題を解決すべくなされたものであり、応答速度を確実に改善できる分割フォトダイオードを提供することを目的とする。

【0034】

【課題を解決するための手段】本発明の分割フォトダイオードは、第1導電型の半導体基板と、該半導体基板の上に形成された第2導電型の半導体層と、該半導体層の該半導体基板とは反対側の表面から該半導体基板の表面下に達するように複数箇所に形成され、該半導体層を少なくとも3つ以上の第2導電型の半導体領域に分割する、少なくとも1層からなる複数の第1導電型の分離拡散領域と、を備える。該分離拡散領域にて分割された該少なくとも3つ以上の半導体領域のうちで、分割部を介して隣接する複数の半導体領域の組合せに対しては、該分割部の近傍に光が照射され、また、該複数の半導体領域の組合せ以外の他の半導体領域に対しては、そのほぼ中央部に光が照射される。そして、該分離拡散領域のうちで、該複数の半導体領域の組合せの該分割部にある特定の分離拡散領域を除いた他の分離拡散領域の下側に、第1導電型の第1の埋め込み拡散領域がさらに設けられていて、印加される逆バイアスによって該他の分離拡散領域の下部の該半導体基板の空乏層化が抑制されており、そのことによって上記目的が達成される。

【0035】好ましくは、前記複数の半導体領域の組合せの前記分割部にある前記特定の分離拡散領域の下側では、前記第1の埋め込み拡散領域の形成が省略されている。

【0036】好ましくは、前記半導体基板は $100\Omega\text{cm}$ 以上の比抵抗を有する。

【0037】好ましくは、前記第1の埋め込み拡散領域が形成されている前記他の分離拡散領域の上に、該第1の埋め込み拡散領域への迷光の照射を抑制する遮光膜が形成されている。

【0038】好ましくは、前記第1の埋め込み拡散領域が、その拡散深さ(X_j)を $X_j \geq 5\mu\text{m}$ として形成されている。

【0039】好ましくは、前記第1の埋め込み拡散領域が、その表面濃度を $1 \times 10^{17}\text{atoms/cm}^3$ 以下にして形成されている。

【0040】好ましくは、前記第1の埋め込み拡散領域

と前記他の分離拡散領域とが、両者の接する部分の濃度を $5 \times 10^{14}\text{atoms/cm}^3$ 以上として形成されている。

【0041】好ましくは、前記第1の埋め込み拡散領域と前記他の分離拡散領域とが、該他の分離拡散領域の端部のうちで前記分割部に位置する前記特定の分離拡散領域に近い側の端部と、該第1の埋め込み拡散領域の端部と、を接触して形成されている。

【0042】上記の本発明の分割フォトダイオードでは、前記半導体基板及び前記半導体層が前記少なくとも3つ以上の半導体領域よりも広い範囲に存在し、該半導体領域の外側に信号処理回路が形成されている構成とすることができる。

【0043】また、上記の本発明の分割フォトダイオードでは、前記信号処理回路が第1導電型の第2の埋め込み拡散領域を有し、該第2の埋め込み拡散領域が前記第1の埋め込み拡散領域と同時に形成される構成とすることができる。

【0044】さらに、上記の本発明の分割フォトダイオードでは、前記第1の埋め込み拡散領域からのボロンのオートドープを防止するために、該第2導電型の半導体層の不純物濃度が $5 \times 10^{15}\text{atoms/cm}^3$ 以上に設定されている構成とすることができる。

【0045】本発明の他の局面による分割フォトダイオードは、第1導電型の半導体基板と、該半導体基板の上に形成された第2導電型の半導体層と、該半導体層の該半導体基板とは反対側の表面から該半導体基板の表面下に達するように複数箇所に形成され、該半導体層を少なくとも3つ以上の第2導電型の半導体領域に分割する、少なくとも1層からなる複数の第1導電型の分離拡散領域と、を備える。該分離拡散領域にて分割された該少なくとも3つ以上の半導体領域のうちで、分割部を介して隣接する複数の半導体領域の組合せに対しては、該分割部の近傍に光が照射され、また、該複数の半導体領域の組合せ以外の他の半導体領域に対しては、そのほぼ中央部に光が照射される。そして、該分離拡散領域のうちで、該複数の半導体領域の組合せの該分割部にある特定の分離拡散領域が該半導体基板の表面下に浅く形成されており、他の分離拡散領域が該半導体基板の表面下に深く形成されており、そのことによって上記目的が達成される。

【0046】本発明の分割フォトダイオードでは、前記半導体基板及び前記半導体層が前記少なくとも3つ以上の半導体領域よりも広い範囲に存在しており、該半導体領域の外側に信号処理回路が形成されている構成とすることができる。

【0047】また、上記の本発明の分割フォトダイオードでは、前記信号処理回路が第1導電型の埋め込み拡散領域を有している構成とすることができる。

【0048】以上に、本発明の作用を説明する。

【0049】本発明によれば、分割フォトダイオードの基板電位を取出す分離拡散領域の下部の半導体基板内に、印加される逆バイアスによって分離拡散領域の下部の半導体基板が空乏層化しないように、埋め込み拡散領域を設けている。このため、空乏層化によるフォトダイオードの直列抵抗の増大化が発生せず、フォトダイオードの遮断周波数が向上する。これによって、分割フォトダイオードの応答速度を高速化する。

【0050】また、半導体基板の比抵抗を高くすることによって、分割部を介して隣接する複数の半導体領域の組合せの当該分割部に光が照射される場合に、空乏層の拡がりを大きくできるので、空乏層の端部が分離拡散領域の下部側へ大きく拡がる。この結果、従来技術による分割フォトダイオードの構成では、光キャリアが分離拡散領域を迂回して移動していたのに対して、本はつめいにおいてはそのような光キャリアの迂回を抑制して、拡散による移動距離を短くすることができる。これによつても、フォトダイオードの遮断周波数が向上され、分割フォトダイオードの応答速度が高速化される。

【0051】

【発明の実施の形態】先に述べたように、基板の比抵抗を高くすることによって分割フォトダイオードの応答速度の改善効果が得られるが、本願発明者がさらに実験を行なった結果、基板比抵抗が高すぎると問題が生じることが確認された。この問題点を、図25を用いて以下に説明する。

【0052】図25に示すように、例えば $500\Omega\text{cm}$ という高い比抵抗を有する半導体基板を使用すると、光が照射されるP型分離拡散領域部分（図中のB部分）での空乏層の広がりが大きくなつて、光キャリアがP型分離拡散領域2を迂回して走る距離が短縮される。しかし、このとき同時に、フォトダイオードの基板電位を取出すP型分離拡散領域の下部（図中のA及びC部分）も、同じように空乏層化してしまう。上述のようにP型分離拡散領域下部（図中のA及びC部分）のP型半導体基板が空乏層化してしまうと、その部分の抵抗（図中のR1）が極端に大きくなり、フォトダイオードの直列抵抗が大きくなる。よつて、この部分の抵抗成分によるCR時定数の増大により、フォトダイオードの応答速度が低下してしまう。

【0053】また、基板の比抵抗を高くしすぎると、基板比抵抗それ自体による抵抗成分（図中のR2）が大きくなり、この抵抗成分に関連するCR時定数により、フォトダイオードの応答速度が低下してしまうという問題が生じる。

【0054】そこで、以上のような問題点を克服するために、本発明にあつては、印加される逆バイアスによって分離拡散領域の下部の半導体基板が空乏層化しないように、分割フォトダイオードの基板電位を取出す分離拡散領域の下部の半導体基板内に、埋め込み拡散領域を設

けている。このため、空乏層化によるフォトダイオードの直列抵抗の増大化が発生せず、フォトダイオードの遮断周波数が向上される。

【0055】また、半導体基板の比抵抗を高くすることによって、一対の半導体領域の分割部に光が照射される場合に、空乏層の拡がりを大きくできる。これにより、空乏層の端部が分離拡散領域の下部側へ大きく拡がる。この結果、従来の分割フォトダイオード素子の構成では光キャリアが分離拡散領域を迂回して移動していたのに比べて、本発明による場合には、そのような光キャリアの迂回を抑制して、拡散による移動距離を短くすることができる。これによつても、フォトダイオードの遮断周波数が向上される。

【0056】以下に、本発明の実施形態を図面に基づいて説明する。

【0057】（第1の実施の形態）本発明の第1の実施形態における分割フォトダイオードを、図面を参照して説明する。

【0058】図1は、第1の実施形態の分割フォトダイオードの断面図である。この図では、メタル配線の処理工程以降の工程で形成される構造、例えば多層配線や保護膜等は、省略している。

【0059】この分割フォトダイオードでは、例えば $500\Omega\text{cm}$ 程度のシリコン基板からなるP型高比抵抗半導体基板11の上に、半導体層としてのN型エピタキシャル層4が形成されている。N型エピタキシャル層4の上表面から半導体基板11の表面よりやや下側の位置に至るP型分離拡散領域2及び5が、複数箇所に設けられている。P型分離拡散領域2は、半導体基板11の表面よりやや下側の位置からN型エピタキシャル層4の途中までの範囲に形成され、P型分離拡散領域5は、分離拡散領域2の上側に、N型エピタキシャル層4の上表面に達するように形成されている。

【0060】P型分離拡散領域2及び5は、N型エピタキシャル層4を複数の領域に、図示される例では4つの領域に、電気的に分離し、且つ両端の領域の外側も電気的に分離するように配設されている。分離された各N型エピタキシャル層4の上層部には、N型拡散領域6が形成されている。分離拡散領域2及び5にて分離された4つの領域が、フォトダイオードとしての光検出部D1、D2、D3及びD5となっている。光検出部D1とD5は、トラッキング誤差信号TESを得るためのものであり、これらの光検出部D1及びD5には、ほぼその中央部に光が照射される。また、光検出部D2及びD3は、フォーカス誤差信号FESを得るためのものであり、これら光検出部D2及びD3には、その分割部を中心として光が照射される。

【0061】N型エピタキシャル層4の上には酸化膜12が設けられており、その酸化膜12の上には、酸化膜12を貫通して基板電位を取出す電極13が、4箇所に

設けられている。電極13が設けられている位置は、光検出部D2とD3との間を除き、分離拡散領域5の上部であり、各電極13の下端は、P型分離拡散領域5に達している。また、電極13が設けられた分離拡散領域5に対応する箇所には、分離拡散領域2の下側にP型埋め込み拡散領域3が形成されている。

【0062】次に、このように構成された第1の実施形態の分割フォトダイオードの作製方法を、図2(a)～(b)の断面図を参照して、以下に説明する。なお、図1と図2(a)～(b)とで、同じ構成要素には同じ参考番号を付している。

【0063】まず、図2(a)に示すように、P型高比抵抗半導体基板11表面の光検出部D1～D5を分割する5つの分割部となる領域のうち、例えば基板電位を取出す分離拡散領域に対応する4つの領域に、P型埋め込み拡散領域3を形成する。次に、光検出部D1～D5を分割する5つの分割部に、P型分離拡散領域2を形成する。

【0064】その後に図2(b)に示すように、P型半導体高比抵抗基板11の表面全面にN型エピタキシャル層4を形成する。

【0065】次に、N型エピタキシャル層4の内部におけるP型分離拡散領域2に対応する部分に、P型分離拡散領域5を形成する。このP型分離拡散領域5は、N型エピタキシャル層4の上表面からP型分離拡散領域2に達するように形成され、その結果として、P型分離拡散領域2及び5は、N型エピタキシャル層4の表面からP型半導体基板1の表面にまで達するように形成される。なお、分離拡散領域2は、この工程において、基板11側から拡散によりN型エピタキシャル層4へ広がる。このようなP型分離拡散領域2及び5の形成により、N型エピタキシャル層4が複数のN型半導体領域に電気的に分離されて、各光検出部D1～D5(但し、D4は図に表れない)が形成される。

【0066】次に、N型エピタキシャル層4の各光検出部D1～D5に対応する部分に、N型拡散領域6を形成する。このN型拡散領域6は、フォトダイオードの直列抵抗を低減することでCR時定数を低減し、高速応答性を得る目的で形成される。

【0067】さらに、図1に示すように、酸化膜12と電極13とを形成する。これにより、本実施形態の分割フォトダイオードが得られる。

【0068】本実施形態の分割フォトダイオードにおいては、基板電位を取出すP型分離拡散部分に、フォトダイオードに印加される逆バイアスによってP型分離拡散領域2の下部のP型高比抵抗半導体基板11が空乏層化しないように、P型埋め込み分離拡散領域3が形成されている。このために、空乏層化によるフォトダイオードの直列抵抗の増大は発生せず、フォトダイオードの遮断周波数が向上される。

【0069】例えば、本実施形態のようにP型高比抵抗基板11の比抵抗が $500\Omega\text{cm}$ の場合、フォトダイオードに印加される逆バイアスを1.5Vとすると、このときのP型分離拡散領域2下部でのP型半導体基板11側への空乏層の広がり幅は $10\mu\text{m}$ となる。これにより、P型埋め込み分離拡散領域3の幅が $20\mu\text{m}$ より大きければ、空乏層化によるフォトダイオードの直列抵抗の増大などの問題は発生しない。

【0070】次に、埋め込み分離拡散領域3を信号光が当たらない分離拡散領域部分に形成する理由について説明する。

【0071】図18に示した通り、本発明の分割フォトダイオードの構成では、ホログラム素子31とディスク34との距離に応じて、主ビームの反射光のフォトダイオードPD上での位置が、光検出部D2及びD3の並ぶ方向に変化するようになっている。このため、主ビームの焦点がディスク34の上に位置している時は、その反射光が、光検出部D2及びD3の間の分割部を光ビームスポットの中心として、入射する。

【0072】このとき、図3に示すように、光が照射される光検出部D2及びD3の間の分割部にも埋め込み拡散領域3を形成すると、図22及び図23を参照して説明したものと同様の現象が起こり、問題となる。すなわち、埋め込み拡散領域3の下部で発生した光キャリアは、埋め込み拡散領域3を迂回して、N型エピタキシャル層4とP型高比抵抗基板11との間のPN接合の空乏層に到達する。さらに、埋め込み拡散領域3は、埋め込み拡散領域3の下部のP型高比抵抗基板11を空乏層化させないように形成するため、図22及び図23に示したP型分離拡散領域2に比べて拡散深さが深く、横方向への拡がりが大きい拡散領域である。

【0073】従って、図3のように光が照射される光検出部D2及びD3の間の分割部にも埋め込み拡散領域3を形成する場合には、埋め込み拡散領域3の下部で発生した光キャリアが埋め込み拡散領域3を迂回して移動する距離が、図4のように、全く埋め込み拡散領域を形成しない場合に光キャリアが分離拡散領域2を迂回して移動する距離に比較して長くなる。この結果、フォトダイオードの応答速度の低下が著しいものとなる。

【0074】そこで本発明にあっては、埋め込み拡散領域3を、光が照射される光検出部D2及びD3の間に存在する分割部以外の分割部に、形成する。このようにすることにより、フォトダイオードの基板電位を取出すP型分離拡散領域部分には、印加される逆バイアスによってP型分離拡散領域2の下部のP型高比抵抗半導体基板11が空乏層化しないように、P型埋め込み分離拡散領域3が形成されているため、空乏層化によるフォトダイオードの直列抵抗の増大は発生せず、フォトダイオードの遮断周波数を向上できる。

【0075】このとき、P型半導体基板として高比抵抗

(例えば $500\Omega\text{cm}$)を有する基板を使用することにより、光が照射される光検出部D2及びD3の間の分割部においては、フォトダイオードに印加される逆バイアスによって広がる空乏層を大きくすることができる。これにより、P型分離拡散領域2の下部のP型半導体基板1で発生した光キャリアがP型埋め込み分離拡散領域2を迂回して走る距離を、短くすることができる。従って、フォトダイオードの応答速度が改善されて、遮断周波数が向上する。

【0076】この遮断周波数の向上に関する効果を、図5に示す。

【0077】図5は、基板比抵抗に対する遮断周波数依存性を示すグラフであって、埋め込み拡散領域3が基板電位を取り出す分離拡散領域下部に存在する場合、及び存在しない場合について、データを示している。

【0078】図5に示すように、基板の比抵抗が約 $100\Omega\text{cm}$ 以上の範囲においては、埋め込み拡散領域の設置による遮断周波数の改善効果が、基板の比抵抗を高くするほど、顕著に得られている。

【0079】次に、埋め込み拡散領域3の拡散深さ X_j について、説明する。

【0080】埋め込み拡散領域3を浅く形成しようとすると場合には、P型埋め込み拡散領域3の拡散深さが深い場合に比べて空乏層が拡がり易くなるために、埋め込み拡散領域3の下部のP型高比抵抗半導体基板1が空乏層化しないように、P型埋め込み拡散領域3を広く形成する必要がある。このため、P型埋め込み拡散領域3を浅く形成すると、同じ有効受光領域を得るためににはフォトダイオードのサイズを大きくする必要が生じて、チップサイズの増加及びそれに伴うコストアップを招く。また、フォトダイオードのサイズの増加に伴ってフォトダイオード容量が大きくなり、応答速度が低下するという問題が発生する。

【0081】そこで、本発明では、P型埋め込み拡散領域3の拡散深さ X_j が $X_j \geq 5\mu\text{m}$ となるように、P型埋め込み拡散領域3を形成する。これにより、前記の問題は発生せず、応答特性の優れた分割フォトダイオードを提供することができる。

【0082】また、本発明において、P型埋め込み拡散領域3は、その表面濃度を $1 \times 10^{17}\text{atoms/cm}^3$ 以下にして、形成する。

【0083】N型エピタキシャル層4を形成するエピタキシャル成長工程においては、図6に示すように、P型埋め込み拡散領域3からの不純物の外方拡散によるボロンのオートドープ現象が発生する。このボロンのオートドープ現象が発生すると、N型エピタキシャル層4とP型高比抵抗半導体基板1との間に、高濃度のボロンのオートドープ層が発生する。そして、この高濃度のボロンのオートドープ層が発生すると、N型エピタキシャル層4とP型高比抵抗半導体基板1との間の空乏層の拡

がりが制限され、容量の増大による応答速度の低下が発生する。

【0084】また、高濃度のボロンのオートドープ層が発生すると、図7に示すように、P型高比抵抗半導体基板1の内で発生した光キャリア(電子)に対してオートドープ層がボテンシャルバリアとして作用するため、応答速度の低下を招く。

【0085】上記のボロンのオートドープ量は、オートドープの発生源であるP型埋め込み拡散領域の表面における不純物濃度に依存している。従って、オートドープの発生による悪影響を抑制するためには、P型埋め込み拡散領域の表面不純物濃度を低く抑える必要がある。

【0086】ここで、ボロンのオートドープ量は、典型的に、そのオートドープ源であるP型埋め込み拡散領域の表面不純物濃度の約 $1/10^3$ 程度である。更に、P型高比抵抗半導体基板1の比抵抗は、数 $100\Omega\text{cm}$ から数 $1000\Omega\text{cm}$ の範囲に設定されるため、基板中の不純物濃度は、概略 $1 \times 10^{13}\text{atoms/cm}^3 \sim 1 \times 10^{14}\text{atoms/cm}^3$ 程度である。従って、ボロンのオートドープが問題とならないようにするために、P型埋め込み拡散領域の表面不純物濃度は、 $1 \times 10^{17}\text{atoms/cm}^3$ 以下と設定されることが望ましい。

【0087】また、本発明において、P型埋め込み拡散領域3とP型分離拡散領域2とは共に、両者の接する部分の不純物濃度を $5 \times 10^{14}\text{atoms/cm}^3$ 以上にして形成する。

【0088】P型埋め込み拡散領域3の役割は、フォトダイオードに印加される逆バイアスによるP型埋め込み拡散領域3の下部のP型高比抵抗半導体層1の空乏層化を防ぐことである。従って、P型埋め込み拡散領域3及びP型分離拡散領域2は、必要以上に高濃度で接する必要はない。フォトダイオードに印加される逆バイアスによるP型埋め込み拡散領域3とP型分離拡散領域2との接觸部分の空乏層化が、防げさえすれば良い。

【0089】ところで、通常の半導体製造プロセスにおいては、P型分離拡散領域2の幅を最小寸法で設計しても、後の熱処理による横方向への拡がり拡散により、出来上がり寸法としては $4\mu\text{m}$ 程度となる。このようにP型埋め込み拡散領域3とP型分離拡散領域2とが接している部分の幅が $4\mu\text{m}$ であり、また、フォトダイオードに印加される逆バイアスが 1.5V であるとすれば、P型埋め込み分離拡散領域3とP型分離拡散領域2とが接する部分を空乏層化せないようにするには、 $5 \times 10^{14}\text{atoms/cm}^3$ 以上の不純物濃度で接するようにP型埋め込み分離拡散領域3を形成すればよい。これにより、フォトダイオードにおける直列抵抗増大による応答速度の低下等の問題が、発生しない。

【0090】上記ではP型分離拡散領域2の幅を最小寸法で設計した場合について説明しているが、P型分離拡

散領域2の幅を最小寸法よりも大きく設定しても良い。この場合においても、P型埋め込み拡散領域3とP型分離拡散領域2との接する部分を $5 \times 10^{14} \text{ atoms/cm}^2$ 以上の不純物濃度にしておけば問題はなく、空乏層化に対して余裕度が大きくなる。

【0091】また、本発明において、P型半導体基板1の比抵抗は、好ましくは $300 \Omega \text{ cm}$ 以上且つ $250 \Omega \text{ cm}$ 以下の範囲に設定する。基板の比抵抗をこのような範囲に設定する理由を、以下に述べる。

【0092】DVDにおいて取り扱われる信号の周波数は、最高レートで 4.5 MHz であり、倍速DVD及び4倍速DVDでは、それぞれ 9.0 MHz 及び 18.0 MHz である。従って、倍速DVD用のフォトダイオードには、低周波から 9.0 MHz までのゲインが一定であることが要求され、一方、同様に4倍速DVD用のフォトダイオードには、低周波から 18 MHz までのゲインが一定であることが要求される。これからわかるように、4倍速DVD或いは更なる高速化に対応するためには、遮断周波数(-3dB)が 50 MHz 以上であることが、フォトダイオードに要求される。

【0093】実使用状態で光が照射される光検出部においては、基板比抵抗が高いほど空乏層の広がりが大きくなり、空乏層の外で発生した光キャリアが走行する距離が短くなる、つまり拡散電流成分の時定数が小さくなる。このため、フォトダイオードの応答速度は改善される。しかし、逆に、基板の比抵抗を高くしすぎると、基板の比抵抗それ自身に起因する抵抗成分が大きくなること、及び、基板電位を取り出す分離拡散領域の下部の基板の空乏化による抵抗成分が増大することによって、CR時定数が大きくなり、フォトダイオードの応答速度が低下する。従って、図5に示す通りに、P型半導体基板11の比抵抗を $300 \Omega \text{ cm}$ 以上且つ $2500 \Omega \text{ cm}$ 以下の範囲に設定することで、4倍速DVD或いは更なる高速化に対応できるフォトダイオードが提供される。

【0094】なお、本実施形態においては、分割フォトダイオードとしてN型エピタキシャル層4の表面にN型拡散領域6を形成した構造について説明しているが、本発明の適用はこの構成には限られない。例えば、フォトダイオード部分の構造に制限はなく、他の構造のフォトダイオードであっても、なんら問題無く適用できる。この事実は、当然のことながら、以下の各実施形態においても同様である。

【0095】(第2の実施の形態) 図8は、再生信号RFを得るための光検出部D2とトラッキング誤差信号TESを得るための光検出部D1との間、及び、再生信号RFを得るための光検出部D3とトラッキング誤差信号TESを得るための光検出部D5との間に、それぞれPN接合を短絡したダミーフォトダイオードを併せ持つ構造に、本発明のP型埋め込み拡散領域3を適用した場合の構造を示す。

【0096】ダミーフォトダイオードを有する本実施形態の構成について、その特徴などを、光検出部D2とD1との間のダミーフォトダイオードを例に挙げて説明する。上記の箇所にダミーフォトダイオードが存在しない場合には、光検出部D2側から光検出部D1側へ向けて、及び光検出部D1側から光検出部D2側へ向けて、光キャリアが一点鎖線にて示すように移動する。ダミーフォトダイオードを形成すれば、このような光キャリアの移動を防止することができ、安定した光検出が可能となる。

【0097】この特徴及び効果は、もう一方の光検出部D3とD5との間のダミーフォトダイオードについても、同様である。

【0098】なお、本発明は、上記以外の構造の分割フォトダイオードに適用しても、問題はない。また、図8の構造においては、ダミーフォトダイオードのPN接合が短絡されているが、必ずしも特に短絡されている必要はなく、適当な逆バイアスを印加されていても問題無い。

【0099】(第3の実施の形態) 本発明の第3の実施形態における受光素子である分割フォトダイオード素子を、図面を参照して説明する。

【0100】図9は、本発明の第3の実施形態の分割フォトダイオードの断面図である。

【0101】この分割フォトダイオードにおいては、分離拡散領域2及び5を設けた領域のうち、P型埋め込み拡散領域3を形成した領域に対応する部分に、遮光膜15が形成されている。遮光膜15の基板11側には、光検出に支障のない透明な材料、例えばシリコン窒化膜からなる絶縁膜14が形成されており、この絶縁膜14によって、遮光膜15と電極13とが電気的に絶縁されている。

【0102】遮光膜15を設ける理由は、以下の通りである。すなわち、ピックアップ光学系の内部では、至る所で光の反射及び回折が起こり、迷光が発生している。本実施形態のように、光の透過率の低い遮光膜15を、埋め込み拡散領域3を形成した領域に対応する場所に形成することにより、光は、埋め込み拡散領域3に入射しなくなり、これによって、埋め込み拡散領域3の下部で発生した光キャリアが埋め込み拡散領域3を迂回する問題は、発生しない。

【0103】遮光膜15の構成材料は遮光性を有する金属であることが好ましいが、光検出に支障のない範囲で、他の材料を使用してもよい。

【0104】(第4の実施の形態) 第4の実施形態では、P型分離拡散領域2とP型埋め込み拡散領域3との形成位置に関する他の構成例を示す。図10は、本実施形態の分割フォトダイオードの断面図である。

【0105】図18を参照して説明したように、特に速い応答速度を必要とする光検出部は、再生信号RFを取

り扱う光検出部D2、D3及びD4である。本実施形態においては、P型分離拡散領域2を、P型埋め込み拡散領域3のうちで速い応答速度を必要とする光検出部D2及びD3の側の端部で接触するように、形成する。これにより、速い応答速度を必要とする光検出部のサイズを最小限に形成できるため、フォトダイオード容量が低減できる。従って、CR時定数を低減し、フォトダイオードの応答速度の改善を図ることができる。

【0106】この際に、光検出部D1及びD5というトラッキングを行なうフォトダイオード部分が大きくなり、フォトダイオード容量が増大する。しかし、光検出部D1及びD5が取り扱う信号の速度は、光検出部D2、D3及びD4により再生信号RFを得るときの速度に比べて1ケタ以上遅いために、これらの箇所のフォトダイオード容量の増大は、大きな問題とはならない。

【0107】(第5の実施の形態)本実施形態では、上述した各実施形態に示した分割フォトダイオードの光検出部の周辺に信号処理回路を形成した場合の構成を説明する。

【0108】図11は、本実施形態の分割フォトダイオードの断面図であり、信号処理回路としてNPNトランジスタが示されている。なお、図11では、メタル配線の処理工程以降の工程で形成される構造、例えば多層配線や保護膜等は、省略している。

【0109】この分割フォトダイオードでは、例えばシリコン基板からなるP型高比抵抗半導体基板11の上に、N型エピタキシャル層4が形成されている。さらに、N型エピタキシャル層4の上表面から、半導体基板11の表面よりやや下側に相当する位置までの間には、P型分離拡散領域2及び5が設けられている。P型分離拡散領域2は、半導体基板11の表面よりやや下側の位置から、N型エピタキシャル層4の途中までの範囲に形成されており、P型分離拡散領域5は、分離拡散領域2の上側に、N型エピタキシャル層4の上表面に達するよう形成されている。

【0110】P型分離拡散領域2及び5は、N型エピタキシャル層4を複数の領域に、図示する例では5つの領域に電気的に分離し、且つ両端の領域の外側も電気的に分離するように配設されている。分離拡散領域2及び5にて分離された5つの領域のうち、図の中の左側の4つが、フォトダイオードとしての光検出部D1、D2、D3及びD5となっており、一方、図の中の右端の領域が、信号処理回路としてのNPNトランジスタとなっている。

【0111】分離された光検出部D1、D2、D3及びD5の各N型エピタキシャル層4の上層部には、N型拡散領域6が形成されている。光検出部D1及びD5は、トラッキング誤差信号TESを得るためのものであり、これらの光検出部D1及びD5には、ほぼその中央部に光が照射される。また、光検出部D2及びD3は、フォ

トトロニクス誤差信号FESを得るためのものであり、これら光検出部D2及びD3には、その分割部を中心として光が照射される。

【0112】また、NPNトランジスタを構成する領域には、半導体基板11とN型エピタキシャル層4とにわたってN型埋め込み拡散領域7が形成されている。また、N型エピタキシャル層4の上層部には、ベースとなるP型拡散領域8、エミッタやコレクタ取り出し拡散領域となるN型拡散領域9及び10が、形成されている。

【0113】N型エピタキシャル層4の上には、酸化膜12が設けられており、その酸化膜12の上には、酸化膜12を貫通して基板電位を取出す電極13が7箇所に設けられている。ここで、電極を、図の左側からそれぞれ13a、13b、13c、13d、13e、13f、13gとすると、電極13a～13dの設置箇所は、光検出部の領域においては、光検出部D2とD3との間の領域を除いた分離拡散領域5の上部である。また、電極13e～13gは、NPNトランジスタを構成する領域におけるP型拡散領域8及びN型拡散領域9及び10の上部に形成されている。

【0114】光検出部の領域における各電極13a～13dの下端は、P型分離拡散領域5に達している。また、NPNトランジスタを構成する領域における各電極13e～13gは、各々P型拡散領域8及びN型拡散領域9及び10に達している。また、電極13a～13cが設けられた左側3つの分離拡散領域に対応する箇所には、分離拡散領域2の下側に、P型埋め込み拡散領域3が形成されている。更に、分離拡散領域2及び5からなる右側2つの部分の間には、これら分離拡散領域を内部に含むP型埋め込み拡散領域31が、N型埋め込み拡散領域7の下側に形成されている。

【0115】次に、このような構成の分割フォトダイオードの作製方法を、図12(a)～(b)の断面図を参照して以下に説明する。なお、図11と図12(a)～(b)において、同じ構成要素には同じ参照番号を付している。

【0116】まず、図12(a)に示すように、例えばシリコン基板からなるP型高比抵抗半導体基板11の表面において、光検出部D1～D5を分割する分割部となる領域のうちで、実使用状態で光が照射される光検出部D2及びD3の間の分割部以外の領域に、P型埋め込み拡散領域3を形成する。

【0117】次に、信号処理回路が形成される予定領域に、P型埋め込み拡散領域31を形成する。このP型埋め込み拡散領域31は、基板11の比抵抗が高いことによって発生し易くなるラッチアップ現象を防止するためのものである。なお、本実施形態では、P型埋め込み拡散領域3とP型埋め込み拡散領域31とを別々に形成しているが、本発明はこれに限らず、P型埋め込み拡散領域3及び31を同時に形成してもなんら問題はない。む

しろ、P型埋め込み拡散領域3とP型埋め込み拡散領域31を同時に形成した方が、製造工程が削減でき且つ製造コストを低減できるというメリットがある。

【0118】次に、光検出部D1～D5を分割する各分割部と、信号処理回路部の各デバイスを分割する各部分とに、P型埋め込み拡散領域2を形成する。このとき、信号処理回路が形成される予定領域の一部に、NPNトランジスタのコレクタ抵抗を低減するためのN型埋め込み拡散領域7が形成される。

【0119】次に、図12(b)に示すように、P型半導体高比抵抗基板11の表面全面に、N型エピタキシャル層4を形成する。続いて、N型エピタキシャル層4の内部においてP型分離拡散領域2に対応する部分に、P型分離拡散領域5を形成する。このP型分離拡散領域5は、N型エピタキシャル層4の表面からP型分離拡散領域2に達するように形成される。なお、分離拡散領域2は、この工程において、基板11側から拡散によりN型エピタキシャル層4へ広がる。これにより、N型エピタキシャル層4が複数のN型半導体領域に電気的に分離され、各光検出部D1～D5(但しD4は不図示)と、電気的に分離された信号処理回路とが、形成される。

【0120】続いて、N型エピタキシャル層4の表面の分割フォトダイオード部分に、N型拡散領域6を形成する。このN型拡散領域6は、フォトダイオードの直列抵抗を低減することでCR時定数を低減し、高速応答性を得る目的で形成される。また、信号処理回路部においては、N型エピタキシャル層4の表面の所定の位置に、ベースとなるP型拡散領域8や、エミッタ或いはコレクタ取り出し拡散領域となるN型拡散領域9及び10が、順次形成される。

【0121】次に、図11に示すように、酸化膜12及び電極13a～13gを形成する。これにより、図11に示す本実施形態の光検出用分割フォトダイオードが得られる。

【0122】このようにして製造された分割フォトダイオードにおいては、光検出用分割フォトダイオード部と信号処理回路部とが同一シリコン基板上に形成されている。これにより、両者を別々に形成する場合に比べてサイズが小さくなり、光ピックアップ装置の小型化が達成される。

【0123】また、同一基板上に光検出用分割フォトダイオード部と信号処理回路部とを形成するために、分割フォトダイオード部と信号処理回路部とをメタル配線で結線することが可能になる。これにより、両者間をワイヤで結線する場合に比べて、外来ノイズに対する耐性に優れるとともに、高速動作時に、ワイヤのインダクタンス等に起因する特性の劣化が生じない。さらに、フォトダイオードと信号処理回路とを短いメタル配線で結線できるために、配線容量が小さくでき、高速動作が可能となる。

【0124】図13は、図8に示すダミーフォトダイオードを備える分割フォトダイオードに、本実施形態の上述した構成を適用した場合の構成を示す断面図である。この図示する例においても、分割フォトダイオード部と信号処理回路部とが同一シリコン基板上に形成されている。

【0125】上述した本発明によれば、種々の構造の分割フォトダイオードにおいて、光検出用分割フォトダイオード部と信号処理回路部とを同一の基板上に形成することができる。

【0126】本実施形態において、N型エピタキシャル層4は、N型エピタキシャル層4とP型半導体基板11との界面に発生するボロンのオートドープ層からの影響を防止するように、N型エピタキシャル層4の不純物濃度を $5 \times 10^{15} \text{ atoms/cm}^3$ 以上として形成する。

【0127】先に述べたように、N型エピタキシャル層4を形成するエピタキシャル成長工程においては、P型埋め込み拡散領域3及び31から不純物の外方拡散による、ボロンのオートドープ現象が発生する。ボロンのオートドープ層が発生すると、特にフォトダイオードの応答速度を低下させる。そこで本実施形態においては、N型エピタキシャル層4を $5 \times 10^{15} \text{ atoms/cm}^3$ 以上の濃度に形成することにより、エピタキシャル成長後の例えは分離拡散などの熱処理により、N型エピタキシャル層4の中のN型不純物であるリンをP型半導体基板11側に拡散させることができる。これによって、ボロンのオートドープ層がフォトダイオードに好ましくない影響を及ぼすことを、防止できる。

【0128】図14及び図15は、デバイスシミュレーションによって行った検討結果を示す図である。

【0129】具体的には、図14及び図15は、基板比抵抗 $10000\Omega\text{cm}$ のP型基板に $3\mu\text{m}$ のN型エピタキシャル層を成長させた構造におけるデバイスシミュレーション結果を示しており、図中の深さ方向 $0\mu\text{m}$ とは、基板とエピタキシャル層との界面を表している。また、基板とエピタキシャル層との界面には、表面不純物濃度が $5.0 \times 10^{14} \text{ atoms/cm}^3$ 程度であるボロンのオートドープ層を、故意に発生させている。図14は、N型エピタキシャル層4の不純物濃度が $1.7 \times 10^{15} \text{ atoms/cm}^3$ の場合のフォトダイオード部分の深さ方向の不純物濃度プロファイルであり、図15は、N型エピタキシャル層4の不純物濃度が $5.0 \times 10^{15} \text{ atoms/cm}^3$ の場合のフォトダイオード部分の深さ方向の不純物濃度プロファイルである。

【0130】図15に示すように、N型エピタキシャル層4の不純物濃度が $5.0 \times 10^{15} \text{ atoms/cm}^3$ であれば、N型エピタキシャル層4の下部には、約 $5.0 \times 10^{13} \text{ atoms/cm}^3$ で幅約 $1\mu\text{m}$ のオートドープ層のみしか存在しない。このオートドープ層は、フ

オトダイオードの印加される逆バイアス1.5Vで、完全に空乏層化される。従って、フォトダイオード容量の増大や応答速度の低下などの問題は、生じない。

【0131】これより、N型エピタキシャル層4を $5 \times 10^{15} \text{atoms/cm}^3$ 以上の濃度に形成することにより、ボロンのオートドープ層によるフォトダイオードの応答速度の低下を、防止することができる。

【0132】しかし、N型エピタキシャル層4の不純物濃度を更に高濃度化していくと、弊害が発生する。すなわち、分割フォトダイオードの周辺部分に形成されたNPNトランジスタにおいて、そのコレクターエミッタ間の耐圧特性が低下する。図16に、その結果を示す。図16より理解されるように、N型エピタキシャル層4の不純物濃度が $1.3 \times 10^{15} \text{atoms/cm}^3$ となると耐圧が5Vを下回り、電源電圧が5V系である製品に対応できなくなる。

【0133】従って、N型エピタキシャル層4の不純物濃度は、 $5 \times 10^{15} \text{atoms/cm}^3$ から $1.3 \times 10^{15} \text{atoms/cm}^3$ の範囲に設定されることが好ましい。

【0134】(第6の実施の形態) 本実施形態では、埋め込み拡散領域の形成が省略されている構成を説明する。

【0135】図17は、本実施形態にかかる分割フォトダイオードを示す断面図である。この分割フォトダイオードは、基本的には図1に示した分割フォトダイオードに類似した構成を有しているが、分離拡散領域2が、その下端が基板11の表面よりも更に下方にまで下がった位置に到達するように、形成されている。このような形狀的な特徴を有するように形成された分離拡散領域2aが、埋め込み拡散領域と同じ機能を発揮する。このような横方向に広がりの少ない深い拡散領域2aは、例えば約1MeV(不純物濃度のピークの深さ $R_P = 2.32 \mu\text{m}$ 、不純物の深さ方向の σ 値 $\Delta R_P = 0.18 \mu\text{m}$)或いはそれよりも高エネルギーのイオン注入で、形成される。

【0136】このように構成した場合においても、図1の分割フォトダイオードと同様の作用効果が得られる。但し、図1の分割フォトダイオードと同様の作用効果を得るためにには、分離拡散領域2aの下端を、図1に示した分割フォトダイオードにおける埋め込み拡散領域3の下端と同等の位置に配置させることが好ましい。

【0137】なお、以上の説明では、本実施形態の構成上の特徴を図1の分割フォトダイオードに適用しているが、本実施形態の技術的特徴の適用はこれに限られず、他の構成の分割フォトダイオードにも適用可能である。例えば、図3、図4及び図10の分割フォトダイオードに適用され得るほか、更には、図11や図13に示すように同一基板上に信号処理回路とともに形成されている分割フォトダイオード部に対しても、同様に適用でき

る。

【0138】以上の説明では、半導体基板11及び分離拡散領域2及び5などをP型導電型とし、エピタキシャル層4及び拡散領域6などをN型導電型としているが、本発明の適用はこれに限られない。逆に、半導体基板11及び分離拡散領域2及び5などをN型導電型とし、エピタキシャル層4及び拡散領域6などをP型導電型としてもよいことは、もちろんである。

【0139】また、上記の説明では、図18に示した5つの光検出部を有する分割フォトダイオードの構成を例にとって本発明を説明しているが、本発明の適用はこれに限らず、少なくとも分割部を介して隣接して当該分割部に光が照射される複数の光検出部の組合せを有する分割フォトダイオードであれば、具体的な構成が異なっていても、適用することが可能である。

【0140】例えば、図26(a)にパターンAとして示しているのは、図18に示した分割フォトダイオードの5つの光検出部D1～D5の配置である。この配置に代えて、図26(b)にパターンBとして示すような、2つの光検出部D_a及びD_cに挟まれて4つの光検出部の組合せD_bが存在する分割フォトダイオードの配置に対しても、本発明は適用可能であり、以上で説明したものと同様の効果を奏する。なお、図26(b)の配置において、光検出部の組合せD_bが、図26(a)の組合せにおける一对の光検出部D₂及びD₃のペアに対応している。また、図26(a)及び(b)の中に描かれている丸印(○印)は、それぞれ光照射位置を示している。

【0141】

【発明の効果】以上に詳述したように、本発明によれば、分割フォトダイオードの基板電位を取出す分離拡散領域の下部の半導体基板内に、印加される逆バイアスによって分離拡散領域の下部の半導体基板が空乏層化しないように、埋め込み拡散領域を設けている。このため、空乏層化によるフォトダイオードの直列抵抗の増大化が発生せず、フォトダイオードの遮断周波数を向上でき、分割フォトダイオードの応答速度を高速化できる。

【0142】また、半導体基板の比抵抗を高くすることによって、分割部を介して隣接する複数の半導体領域の組合せの当該分割部に光が照射される場合に、空乏層の拡がりを大きくできるので、空乏層の端部が分離拡散領域の下部側へ大きく拡がる。この結果、光キャリアの巡回を抑制して、拡散による移動距離を短くすることができる。これによっても、遮断周波数が向上され、分割フォトダイオードの応答速度を高速化できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態における分割フォトダイオードの構成を示す断面図である。

【図2】(a)～(b)は、図1の分割フォトダイオードの製造工程を示す断面図である。

【図3】光キャリアがP型埋め込み拡散領域を迂回する場合の光キャリアの動きを模式的に示す図である。

【図4】光キャリアがP型分離拡散領域を迂回する場合の光キャリアの動きを模式的に示す図である。

【図5】本発明において、埋め込み拡散領域により遮断周波数の向上に寄与する基板の比抵抗の効果を説明する図である。

【図6】ボロンのオートドープ現象を説明する略断面図である。

【図7】ボロンのオートドープが発生した場合における、フォトダイオード中心部における深さ方向の電子に対するポテンシャル図である(図6のx-x'部の不純物プロファイル)。

【図8】本発明の第2の実施形態における分割フォトダイオードの構成を示す断面図である。

【図9】本発明の第3の実施形態における分割フォトダイオードの構成を示す断面図である。

【図10】本発明の第4の実施形態における分割フォトダイオードの構成を示す断面図である。

【図11】本発明の第5の実施形態における分割フォトダイオードの構成を示す断面図である。

【図12】(a)～(b)は、図11の分割フォトダイオードの製造工程を示す断面図である。

【図13】本発明の第5の実施形態における分割フォトダイオードの別の構成を示す断面図である。

【図14】N型エピタキシャル層の不純物濃度が $1.7 \times 10^{15} \text{ atoms/cm}^3$ の場合の不純物濃度プロファイルである。

【図15】N型エピタキシャル層の不純物濃度が $5.0 \times 10^{15} \text{ atoms/cm}^3$ の場合の不純物濃度プロファイルである。

【図16】N型エピタキシャル層の不純物濃度に対するNPNトランジスタの耐圧特性を示す図である。

【図17】本発明の第6の実施形態における分割フォトダイオードの構成を示す断面図である。

【図18】ホログラム素子を用いた光ピックアップ装置の光学系の構成図である。

【図19】従来技術における分割フォトダイオードの構成を示す断面図である。

【図20】(a)～(b)は、図19の分割フォトダイオードの製造工程を示す断面図である。

【図21】(a)は、図19の分割フォトダイオードの一部の断面図であり、(b)は、図19の分割フォトダイオードにおける遮断周波数の光ビーム位置依存性を示す図である。

【図22】図19の分割フォトダイオードにおいて、光ビームが分割フォトダイオードの分割部近傍を照射する状態におけるデバイスシミュレーションの結果を示す図である。

【図23】図19の分割フォトダイオードにおいて、分割部の深さ方向のポテンシャルを示すデバイスシミュレーションの結果を示す図である。

【図24】従来技術における分割フォトダイオードの別の構成を示す断面図である。

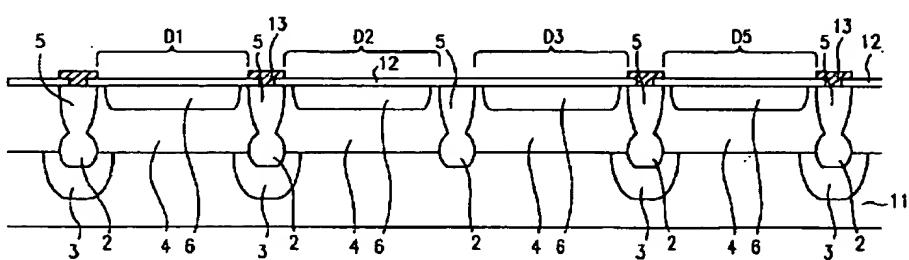
【図25】図19の分割フォトダイオードにおける、フォトダイオード直列抵抗を説明する断面図である。

【図26】(a)及び(b)は、本発明が適用可能な分割フォトダイオードの光検出部の配置の例を、それぞれ模式的に示す図である。

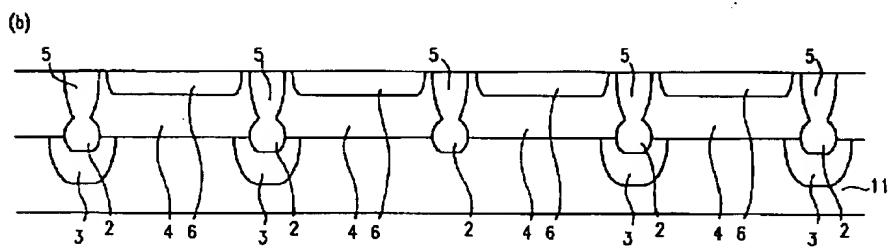
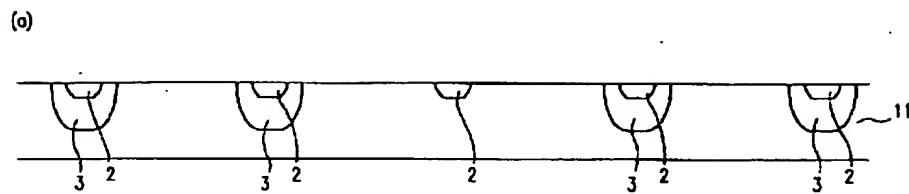
【符号の説明】

- 2、5 P型分離拡散領域
- 3、31 P型埋め込み拡散領域
- 4 N型エピタキシャル層
- 6 N型拡散領域
- 11 P型高比抵抗半導体基板
- 12 酸化膜
- 13、13a、13b、13c、13d、13e、13f、13g 電極
- D1、D2、D3、D4、D5、Da、Db、Dc 光検出部

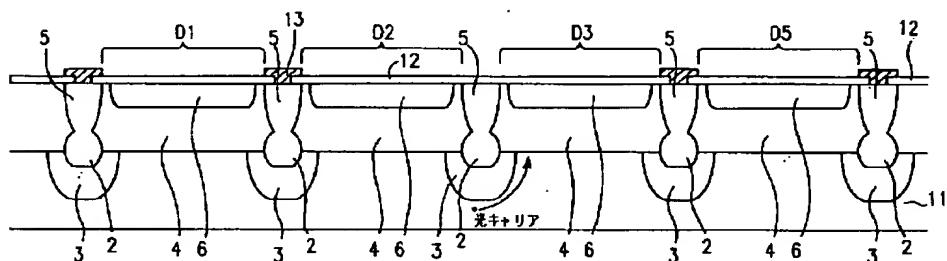
【図1】



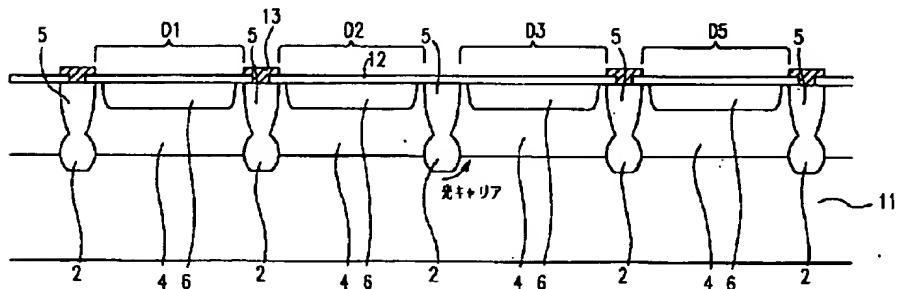
【図2】



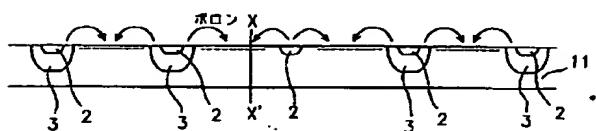
【図3】



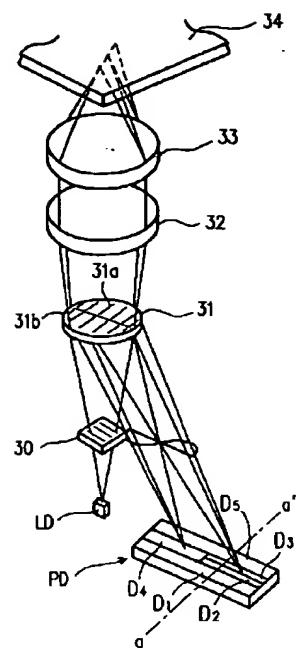
【図4】



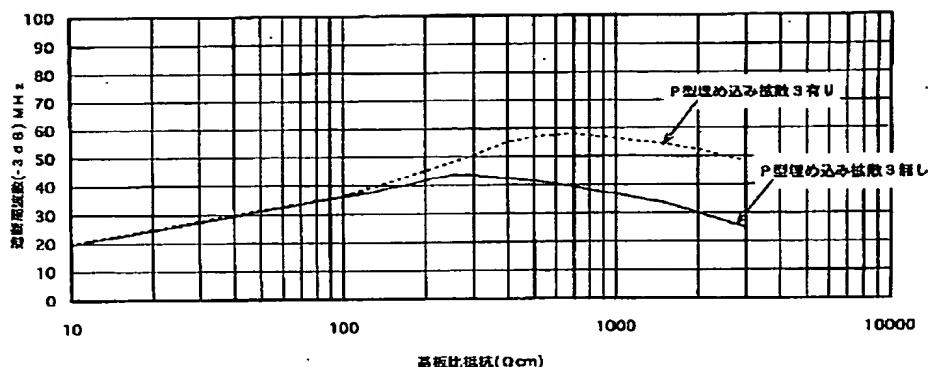
【図6】



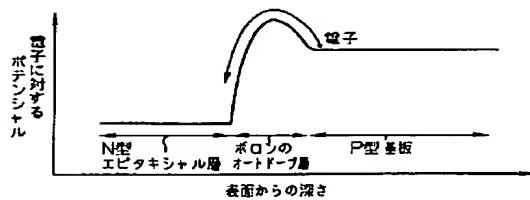
【図18】



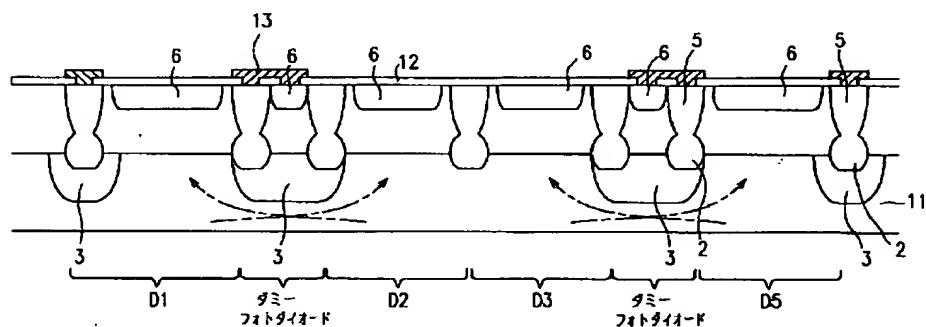
【図 5】



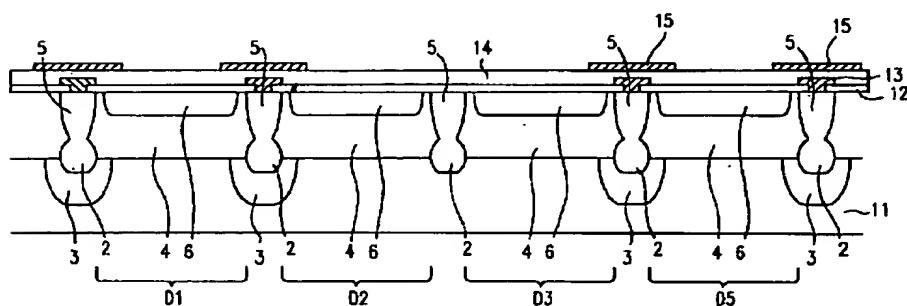
【図 7】



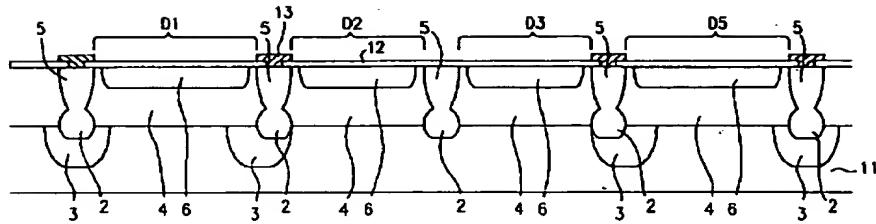
【図 8】



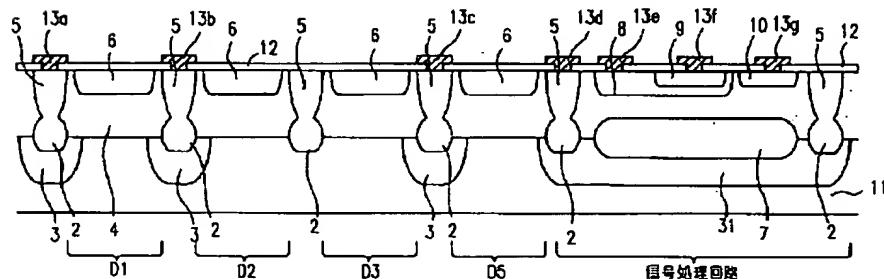
【図 9】



【图10】

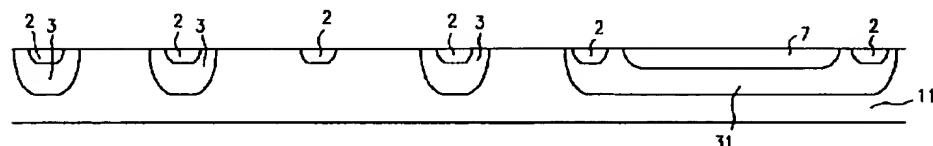


【図11】

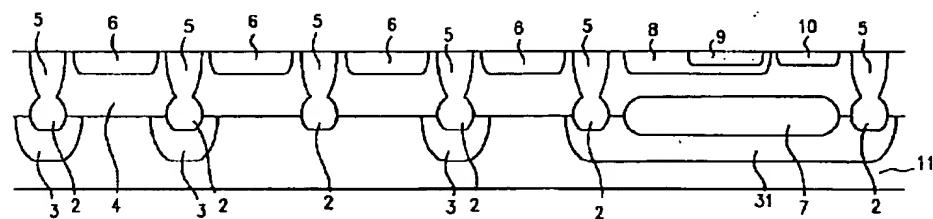


【図12】

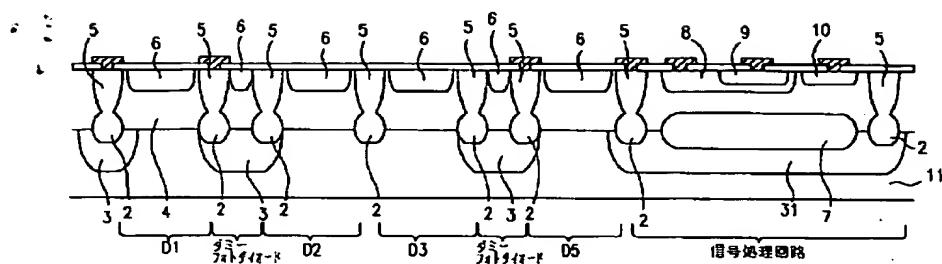
(a)



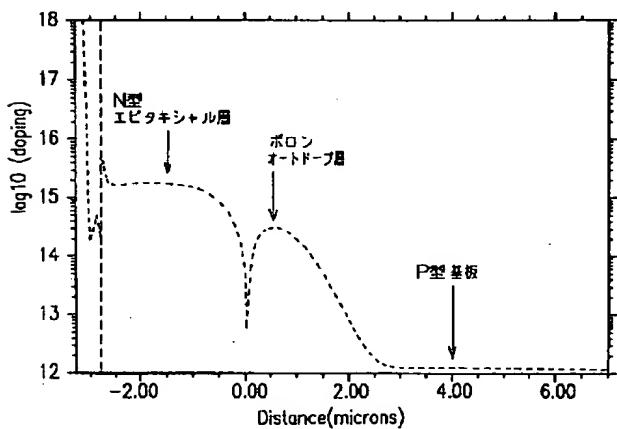
(b)



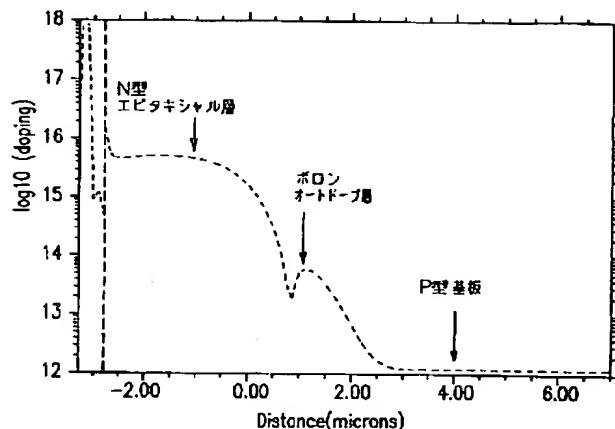
【図 1 3】



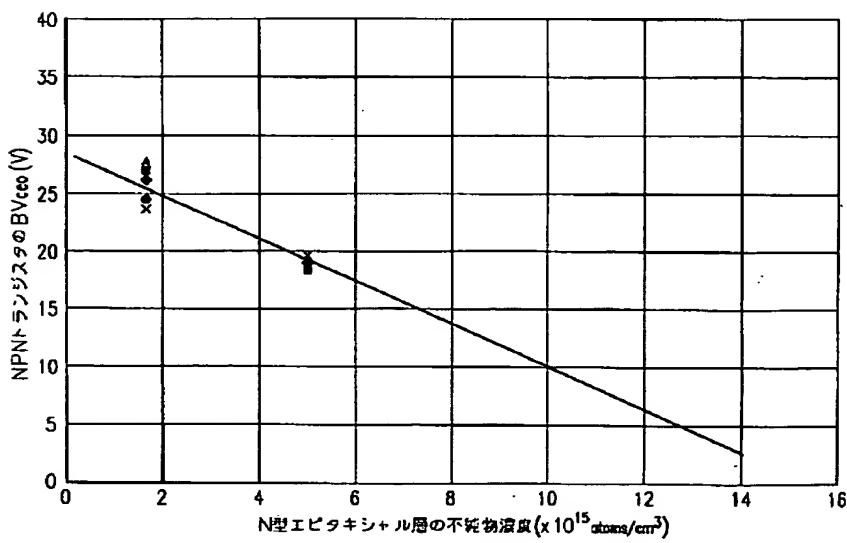
【図 1 4】



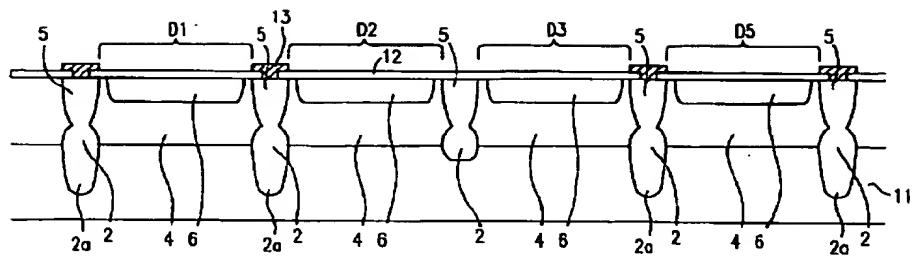
【図 1 5】



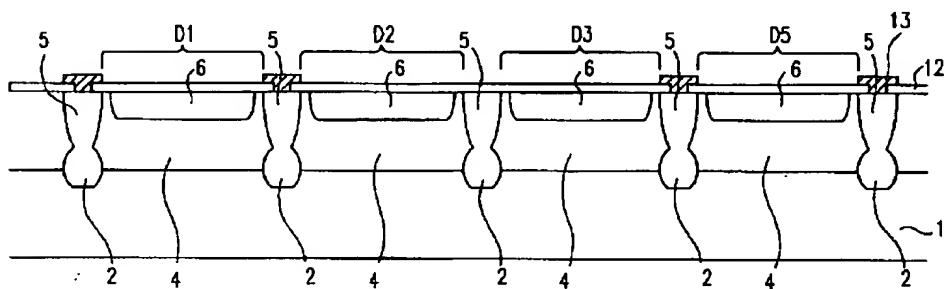
【図 1 6】



【図 17】

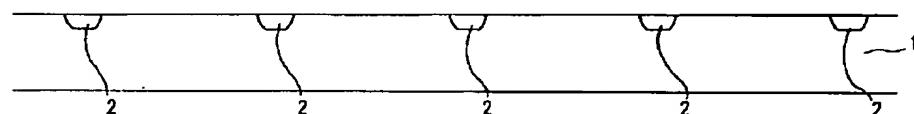


【図 19】

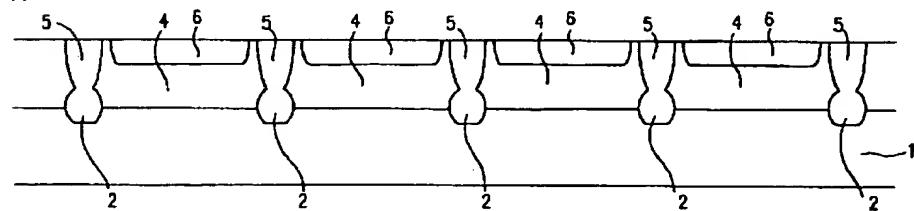


【図 20】

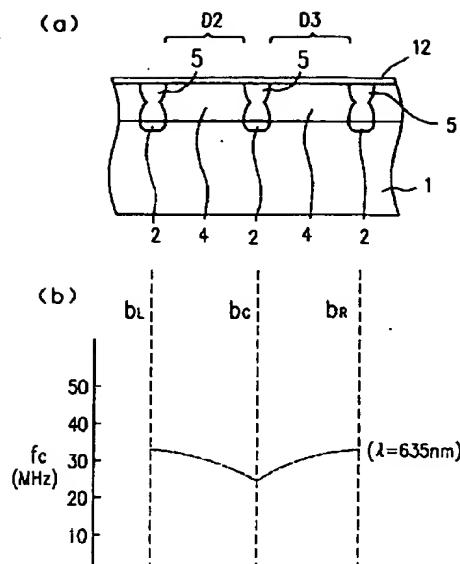
(a)



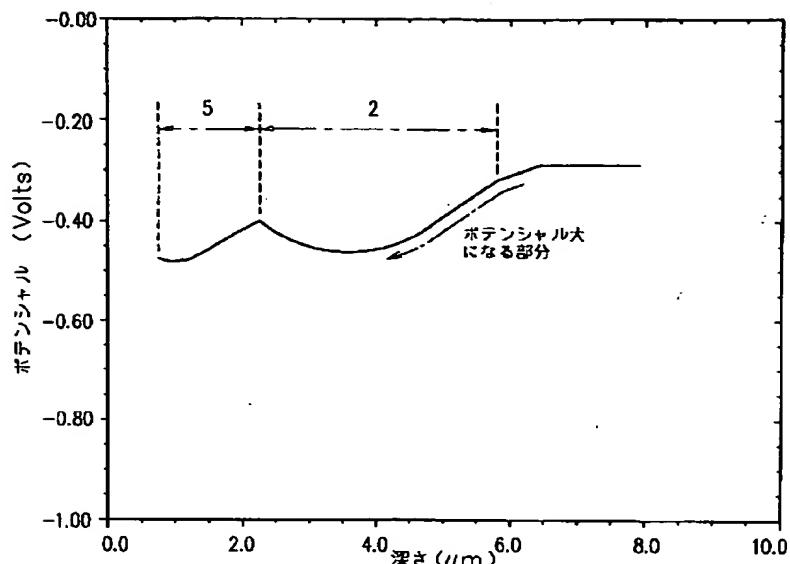
(b)



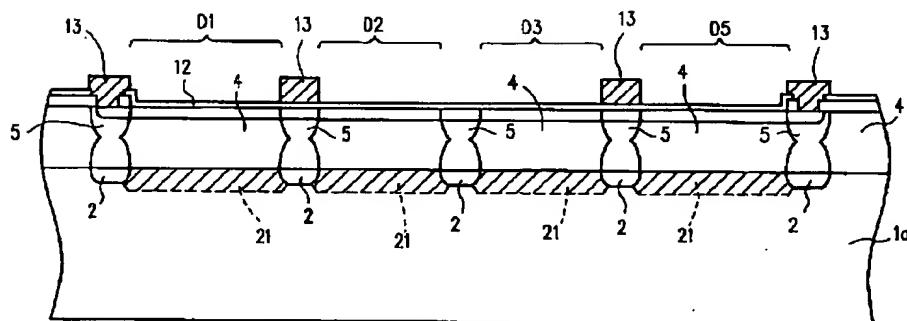
〔图21〕



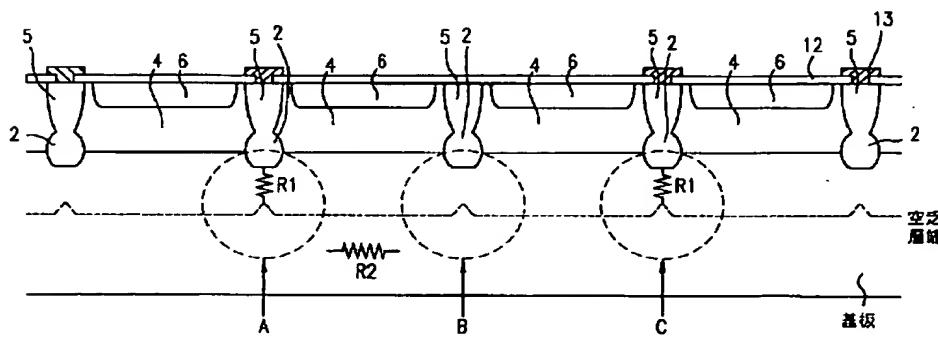
【图23】



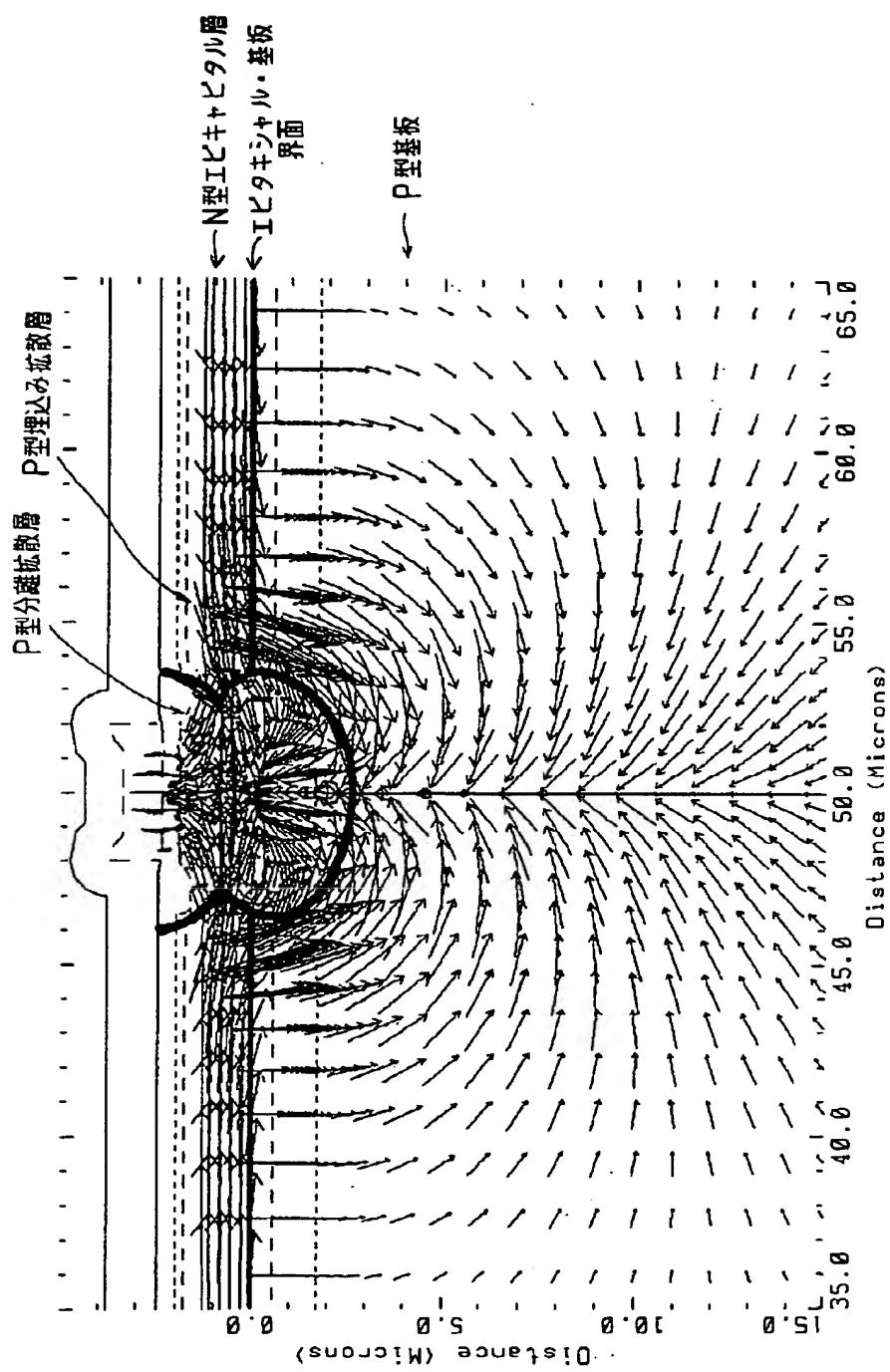
【图24】



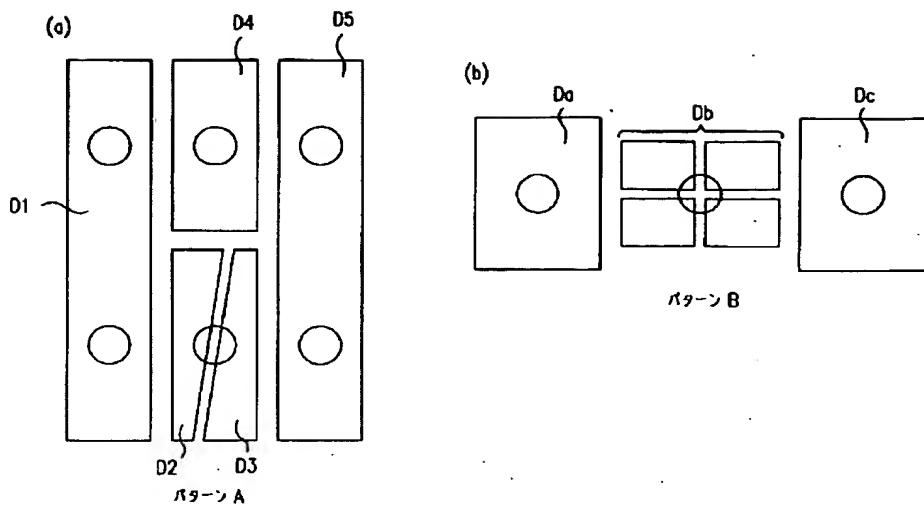
【图25】



【図22】



【図26】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.